

GRAPHIC PROCESSING UNIT

Patent Number: JP61133483
Publication date: 1986-06-20
Inventor(s): MATSUSHIRO NOBUHITO; others: 01
Applicant(s): AGENCY OF IND SCIENCE & TECHNOL
Requested Patent: ☐ JP61133483
Application Number: JP19840254960 19841204
Priority Number(s):
IPC Classification: G06F15/62
EC Classification:
Equivalents: JP1046915B, JP1557120C

Abstract

PURPOSE: To add easily shading processing by providing a counter memory storing the degree of shadow to a Z-buffer shade erasure hardware.

CONSTITUTION: A host computer or a graphic exclusive processor 7 obtains shadow polygons AEFG, CBFG, AEGC defining a shadow space produced by shutting the light from a light source P by a polyhedron Q to convert them into a view point coordinate system, and classifies a face polygon being a rear part to a light source P among face polygons of the polyhedron into front/rear polygons to the view point and transfers them into a graphic processing unit 6. The operating section 1 of the graphic processing unit 6 applies shadowing processing by using a transferred data. That is, a value $Cu(i, j)$ of the counter memory 4, that is, the degree of shadow is set to zero in advance. The final result by the shade face erasure processing is stored in the Z-buffer memory 3. As to each picture element of the shadow polygon and the face polygon being rear polygon to the light source P, the depth $Zs(i, j)$ of the picture element and the value $ZM(i, j)$ of the Z-buffer memory 3 are compared and the degree of shade of the counter memory 4 is controlled.

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特許公報(B2)

平1-46915

⑬ Int. Cl.⁴
G 06 F 15/72

識別記号
4 6 5

庁内整理番号
6615-5B

⑭ 公告 平成1年(1989)10月11日

発明の数 1 (全3頁)

⑮ 発明の名称 図形処理装置

⑯ 特 願 昭59-254960

⑰ 公 開 昭61-133483

⑱ 出 願 昭59(1984)12月4日

⑲ 昭61(1986)6月20日

⑳ 発 明 者 松 代 信 人 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
㉑ 発 明 者 吉 田 隆 義 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
㉒ 出 願 人 工 業 技 術 院 長 東京都千代田区霞が関1丁目3番1号
㉓ 審 査 官 岡 部 恵 行
㉔ 参 考 文 献 特開 昭59-129897 (JP, A)

昭和56年7月20日発行「日経エレクトロニクス」第269号第164-199頁

【特許請求の範囲】

1 演算部、フレームバッファメモリ、Z-bufferメモリからなるZ-buffer隠面消去用の図形処理装置において、

影度数を格納するカウンタメモリと、隠面消去処理後の可視画素の奥行きZ値とシャドーポリゴンおよび光源に対して裏となる面ポリゴンの奥行きZ値とを比較して前記影度数をカウントするカウント手段と、前記カウンタメモリの最終値に基づいて影付を行なう影付手段とを備えたことを特徴とする図形処理装置。

【発明の詳細な説明】

(産業上の利用分野)

本発明はZ-buffer隠面消去装置に影付処理機能を設けた図形処理装置に関するものである。

(従来の技術)

三次元図形表示に必要な隠面消去処理として、処理が単純でハードウェア化に適しているということでZ-buffer法が用いられている(例えば、日経エレクトロニクス6-18(1984)・日経マグロウヒル社P.225-226)。

(発明が解決しようとする問題点)

しかしながら、Z-buffer法は1画素毎に1つの奥行き値を保持しているので処理の履歴を残すことができないため影付処理に適用することは困難であり(例えば、電子通信学会技術研究報告EC 82-67 P.93)、Z-buffer法による付影処理

が組込まれた図形処理装置は発表されていなかった。

(問題点を解決するための手段)

本発明は演算部、フレームバッファメモリ、Z-bufferメモリからなるZ-buffer隠面消去用の図形処理装置において、第1図に示すように影度数を格納するカウンタメモリ104と、カウント手段101と、影付手段105とを備えたことを特徴とする図形処理装置である。

(作用)

第1図において、Z-bufferメモリ103に格納されている隠面消去処理後の可視画素の奥行きZ値と、ホスト計算機またはグラフィックス専用プロセッサにより求めたシャドーポリゴンおよび光源に対して裏となる面ポリゴンの奥行きZ値とをカウント手段101により比較してカウンタメモリ104の影度数をカウントする。影付手段105により前記カウンタメモリ104の最終値に基づいてフレームバッファメモリ102の値を所定値に更新し影付を行う。前記カウント手段101の比較手段のハードウェアは隠面消去処理と共用することができる。

(実施例)

第2図は本発明の実施例を示すブロック図であつて、1は演算部、2は画素毎に輝度および色情報を記憶するフレームバッファメモリ、3は画素毎に奥行きZを格納するZ-bufferメモリ、4は影

(2)

度数をカウントするカウンタメモリ、5はバス、6は図形処理装置、7はホスト計算機またはグラフィックス専用プロセッサである。第3図はシャドーポリゴン生成の説明図であつて、Pは光源、Qは多面体である。

本実施例の動作を第2図、第3図に基づいて以下説明する。本実施例では、3次元図形表示における手前の物体で隠れる面を表示しないようにする隠面消去処理と光源に対して陰となる面に影を付ける付影処理を行つているが、まず隠面消去処理について説明する。第2図に示すホスト計算機またはグラフィックス専用プロセッサ7により、第3図に示す多面体Qの面ポリゴンABC, ADB, BDC, ADCを視点座標系に変換し、表示装置6へ転送する。第2図に示す図形処理装置6の演算部1は、視点座標変換された前記各面ポリゴンについてZ-buffer法による隠面消去処理を行なう。すなわち、第2図に示すフレームバッファメモリ2、Z-bufferメモリ3を予め背景色、奥行き最大値でそれぞれ満たしておく。前記各面ポリゴンについて画素毎に、その座標(i, j)に対応する奥行きZ(i, j)とZ-bufferメモリ3に記憶してある奥行き $Z_M(i, j)$ とを比較し、 $Z_M(i, j) > Z(i, j)$ ならばフレームバッファメモリ2の値I(i, j)を前記画素の色情報(輝度も含む)C(i, j)に置換え、Z-bufferメモリ3の値 $Z_M(i, j)$ を前記画素の奥行きZ(i, j)に置換える。 $Z_M(i, j) \leq Z(i, j)$ ならばフレームバッファメモリ2、Z-bufferメモリ3の値I(i, j)、 $Z_M(i, j)$ の更新は行なわない。以上の処理によって、手前の物体で隠れる面は表示されないよう消去される。

次に付影処理について説明する。第2図に示すホスト計算機またはグラフィックス専用プロセッサ7により、第3図に示す光源Pからの光が多面体Qにより遮られたことによつて生ずる影空間を定義するシャドーポリゴンAEFG, CBFG, AEGCを求めて視点座標系に変換し、該変換したシャドーポリゴンと先に求めた多面体Qの面ポリゴンのうち光源Pに対して裏となる面ポリゴンとを視点に対する表・裏に分類して第2図に示す図形処理装置6に転送する。図形処理装置6の演算部1は転送されてきたデータにより付影処理を行

なう。すなわち、第2図に示すカウンタメモリ4の値 $C_U(i, j)$ つまり影度数を予め零に設定しておく。Z-bufferメモリ3には前述の隠面消去処理による最終結果が格納されている。そこで前記シャドーポリゴンおよび光源Pに対して裏となる面ポリゴンの各画素について、その画素の奥行き $Z_S(i, j)$ とZ-bufferメモリ3の値 $Z_M(i, j)$ とを比較し、カウンタメモリ4の影度数を制御する。この処理は前記各シャドーポリゴン、面ポリゴン毎に実行される。詳しくいえば、

(a) 表のシャドーポリゴン、面ポリゴンについて
 $Z_S(i, j) \leq Z_M(i, j)$ ならば $C_U(i, j) \leftarrow C_U(i, j) + 1$

$Z_S(i, j) > Z_M(i, j)$ ならば何もしない。

(b) 裏のシャドーポリゴン、面ポリゴンについて
 $Z_S(i, j) \leq Z_M(i, j)$ ならば $C_U(i, j) \leftarrow C_U(i, j) - 1$

$Z_S(i, j) > Z_M(i, j)$ ならば何もしない。

となる。すべての表・裏のシャドーポリゴン、面ポリゴンについて前記(a)、(b)の処理を終了した後、前記カウンタメモリ4の値 $C_U(i, j)$ を読み出し、

$C_U(i, j) \geq 1$ ならば $I(i, j) \leftarrow C_S$

$C_U(i, j) = 0$ ならば何もしない

とする。ここで C_S は影の色情報である。以上により付影処理が完了する。

なお、前記画素の奥行き $Z_S(i, j)$ とZ-bufferメモリ3の値 $Z_M(i, j)$ とを比較する手段のハードウェアは隠面消去処理と共用することができる。

前記フレームバッファメモリ2に格納された色情報に基づいてディスプレイを表示すれば隠面消去処理、付影処理の施された図形が表示される。

(発明の効果)

本発明は以上説明したようにZ-buffer隠面消去用ハードウェアに影度数を格納するカウンタメモリを設けることにより、容易に影付処理を付加することができるようにした。

【図面の簡単な説明】

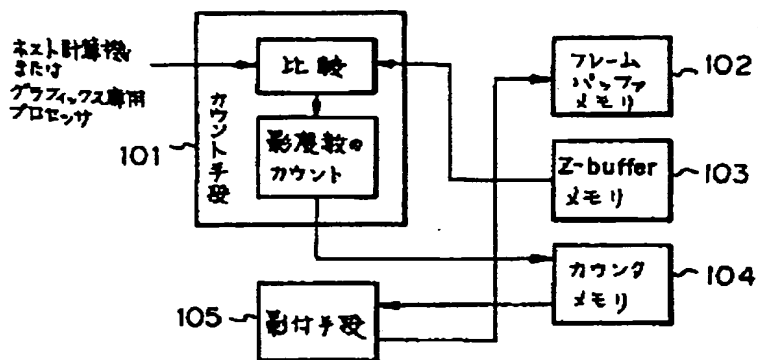
第1図は本発明の構成を明示する図、第2図は本発明の実施例のブロック図、第3図はシャドーポリゴンの生成の説明図である。

(3)

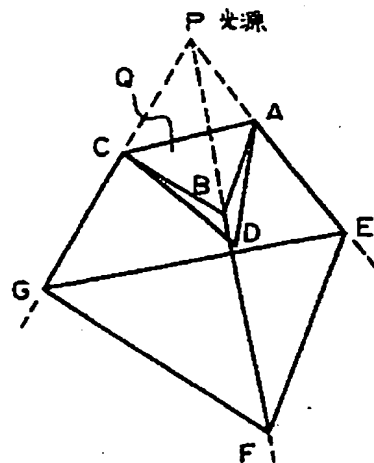
1……演算部、2……フレームバッファメモリ、3……Z-bufferメモリ、4……カウンタメモリ、5……バス、6……図形処理装置、7……

ホスト計算機またはグラフィックス専用プロセッサ。

第1図



第3図



第2図

